PROIECT MIPS 32 PIPELINE

Documentatie

Proiectul nu a fost testat pe placa, dar ar trebui sa fie functional, daca hazardurile au fost rezolvate corespunzator, iar programul initial proiectat pentru single cycle era functional. Nu am incercat sa fac nicio simulare, deoarece semnalele sunt prea greu de urmarit.

Partea dificila a fost urmarirea instructiunilor in Excel. Fiind un program relativ lung, foaia de calcul s-a intins mult si incurcam liniile. Hazardurile au fost usor de identificat si rezolvat.

Cele 4 instructiuni alese:

**SRA**

Descriere: Deplasare aritmetică la dreapta pentru un registru, rezultatul este memorat în altul. Se repetă valoarea bitului de semn

RTL: $d 🡨 $t >> h; PC 🡨PC + 4;

ASM: sra $d, $t, h

Binar: 000000 00000 ttttt ddddd hhhhh 000011

**XOR**

Descriere: SAU-Exclusiv logic între două registre, memorează rezultatul în alt registru

RTL: $d 🡨 $s ^ $t; PC 🡨 PC + 4;

ASM: xor $d, $s, $t

Binar: 000000 sssss ttttt ddddd 00000 100110

**ORI**

Descriere: SAU logic între un registru și o valoare imediată, memorează rezultatul în alt registru

RTL: $t 🡨 $s | ZE(imm); PC 🡨 PC + 4;

ASM: ori $t, $s, imm

Binar: 001101 sssss ttttt iiiiiiiiiiiiiiii

**BNE**

Descriere: Salt condiționat dacă două registre sunt diferite

RTL: if $s ≠ $t then PC 🡨 (PC + 4) + (SE(offset) << 2) else PC 🡨 PC + 4;

ASM: bne $s, $t, offset

Binar: 000101 sssss ttttt oooooooooooooooo

Semnalele acestor 4 instructiuni sunt deja in fisierul cu semnale pentru toate instructiunile de la MIPS32 single cycle.